

POLITECHNIKA POZNAŃSKA

---

WYDZIAŁ INFORMATYKI I TELEKOMUNIKACJI



**SYLWESTER MILEWSKI**

# **HYPERCOMPRESSION OF TEST DATA**

Streszczenie rozprawy doktorskiej

Promotor:

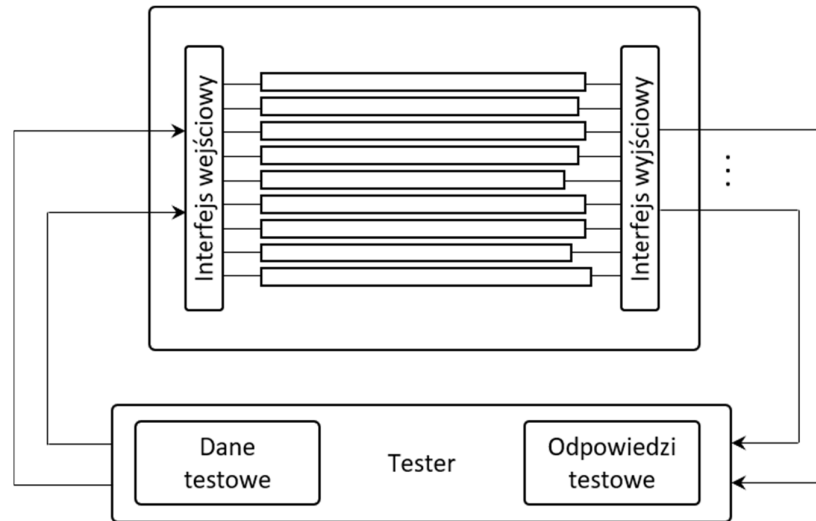
prof. dr hab. inż. Jerzy Tyszer

Poznań, 2021

## 1. Wprowadzenie

Testowanie układów i systemów cyfrowych pozostaje dynamicznie rozwijanym obszarem badań naukowych i praktyki inżynierskiej, przede wszystkim ze względu na niedoskonałości procesów wytwarzania układów półprzewodnikowych oraz ich bezprecedensową złożoność [16]. Kolejne generacje cyfrowych układów scalonych wielkiej skali integracji wprowadzają nowe typy uszkodzeń, których wykrycie wymaga złożonych modeli oraz stale rosnącej liczby sekwencji testowych. W konsekwencji rośnie ilość danych testowych oraz wydłuża się czas testowania. Istotny wpływ na kształt nowych technologii testowania ma także powszechna obecność układów elektronicznych w urządzeniach o krytycznym znaczeniu dla zdrowia lub bezpieczeństwa. Ewentualne uszkodzenia układów zajmujących centralne miejsce w tego typu systemach mogą prowadzić do katastrofalnych następstw. Zapobieganie takim sytuacjom wymaga regularnych testów wysokiej jakości (zwykle porównywalnej z jakością testów produkcyjnych) wykonywanych także w trakcie normalnej eksploatacji układu. Kolejny problem stanowi kilkukrotny wzrost zużycia energii w trakcie testowania [3], [8], [13]. Ponadnormatywna aktywność układu w trakcie testu wymusza bardzo staranne zarządzanie wykorzystaniem energii za pomocą dedykowanych, energooszczędnych metod testowania.

Niezawodność urządzeń elektronicznych jest w oczywisty sposób zależna od wysokiej jakości testowania produkcyjnego. Testowanie cyfrowych układów kombinacyjnych polega na podaniu na wejścia układu kolejnych sekwencji binarnych i obserwacji wyjść celem potwierdzenia poprawności odpowiedzi. W układach sekwencyjnych wyznaczenie i aplikacja testów są wielokrotnie bardziej złożone z powodu olbrzymiej przestrzeni stanów. Wraz ze wzrostem liczby elementów pamięci proces przeszukiwania takich przestrzeni staje się zadaniem niezwykle czasochłonnym (w praktyce niewykonalnym nawet dla układów średniej wielkości). Jednym z przełomowych rozwiązań w praktyce testowania układów cyfrowych stały się tzw. ścieżki testujące (ang. *scan chains*) – przykład metodologii projektowania układów cyfrowych w sposób ułatwiający ich testowanie (ang. *design for test* – DFT). Zgodnie z tym paradygmatem, układ cyfrowy pracuje albo w trybie funkcjonalnym (wykonując oryginalne operacje) albo w trybie testowym. W tym ostatnim, większość elementów pamięci jest rekonfigurowana do postaci rejestrów przesuwających (Rys. 1.1) dostępnych z zewnątrz. Po wprowadzeniu pobudzeń via ścieżki testujące, układ jest przełączany w tryb funkcjonalny celem zarejestrowania odpowiedzi, która następnie jest wysuwana z układu, ponownie dzięki ścieżkom testującym. W



Rys. 1.1. Testowanie z wykorzystaniem ścieżki testującej.

rezultacie cały proces sprowadza się do testowania, łatwo już dostępnej, części kombinacyjnej układu, co jest poprzedzane sprawdzeniem integralności samych ścieżek testujących [1]. Choć tryb testowy wymaga dodatkowego instrumentarium sprzętowego, zaś same ścieżki testujące wydłużają czas testowania, jest to dziś powszechnie akceptowane rozwiązanie w znakomitej większości scalonych układów cyfrowych.

W rozprawie zaproponowano nowe metody testowania układów cyfrowych wielkiej skali integracji, które – zdaniem autora – pomagają sprostać aktualnym i przewidywanym problemom ograniczającym efektywność stosowanych dotychczas rozwiązań. W pierwszej części pracy zaproponowano metodę redukcji liczby wektorów testowych. W dalszej części pracy wprowadzono metody zwiększające skuteczność kompresji wolumenu danych testowych, w tym także podejście pozwalające na ograniczenie zużywanej podczas testu energii. Wszystkie rozwiązania szczegółowe umożliwiają w efekcie przyspieszenie aplikacji wektorów testowych, a zatem skrócenie czasu testowania bez zauważalnego wpływu na jakość procesu testowania.

W rozprawie wykazano, że w układach cyfrowych wykorzystujących ścieżki testujące jest możliwe zarówno zredukowanie liczby wektorów testowych (a zatem skrócenie czasu testowania) jak i zmniejszenie wolumenu danych niezbędnych w procesie aplikacji testów w porównaniu z najlepszymi stosowanymi obecnie rozwiązaniami. Oprogramowanie towarzyszące wszystkim zaproponowanym rozwiązaniom zostało zintegrowane z narzędziami komercyjnymi udostępnionymi przez firmę Siemens. Wszystkie rozwiązania zostały także zweryfikowane eksperymentalnie wykorzystując aktualnie projektowane lub wytwarzane przemysłowo cyfrowe układy scalone VLSI.

## 2. Redukcja liczby wektorów testowych

W pierwszej części rozprawy podano metodę ograniczenia liczby wektorów testowych otrzymanych za pomocą konwencjonalnych algorytmów automatycznej generacji testów [2]. W zaproponowanym podejściu wykorzystano technikę redukcji wymiaru, tj. proces zmniejszania liczby zmiennych branych pod uwagę w trakcie analizy sekwencji testujących. Zgodnie z tym podejściem, początkowy zbiór wektorów testowych, a w szczególności zbiór jego wartości koniecznych, jest wykorzystywany do zdefiniowania małych grup uszkodzeń potencjalnie zgodnych (wykrywanych za pomocą tego samego pobudzenia).

Zaproponowany w rozprawie algorytm redukcji w pierwszym kroku wyznacza, dla każdego uszkodzenia, listę wektorów testowych te uszkodzenia wykrywających. Takie listy znajduje symulacja sekwencji otrzymanych z konwencjonalnego algorytmu automatycznej generacji testów. Kolejnym krokiem jest wyznaczenie, dla każdego uszkodzenia, listy wartości koniecznych, które są niezbędne do jego wykrycia. Obie te informacje są wykorzystywane do grupowania uszkodzeń potencjalnie wykrywalnych za pomocą podobnych sekwencji testujących. Następnie generowane są nowe wektory testowe dla poszczególnych grup za pomocą odpowiednio zmodyfikowanych algorytmów stosowanych tradycyjnie w rozstrzygnięciu problemu spełnialności formuł logicznych (ang. *Boolean satisfiability problem*, SAT). W rezultacie uszkodzenia wcześniej wykrywane przez kilka wektorów testowych wymagają tylko jednego wspólnego pobudzenia.

Metoda redukcji testów została zweryfikowana za pomocą serii eksperymentów z wykorzystaniem układów cyfrowych o rozmiarach od 218K do 7,8M bramek logicznych. Podsta-

Tabela 2.1: Charakterystyki układów testowych

	Liczba bramek	Liczba przerzutników testujących	Konfiguracja ścieżek testujących	Liczba uszkodzeń
D1	2,4M	181K	1 365 × 134	4 049 753
D2	218K	14,2K	54 × 263	349 286
D3	2,1M	143K	400 × 360	3 053 898
D4	2,5M	174K	114 × 1 964	4 731 360
D5	2,1M	148K	70 × 2 579	3 612 124
D6	1,2M	97,8K	300 × 327	2 421 874
D7	3,1M	169K	69 × 2 456	3 977 620
D8	103K	1 140	25 × 46	229 550
D9	7.8M	429K	857 × 502	10 874 455

wowe dane dotyczące układów, takie jak liczba bramek, liczba komórek testujących, konfiguracja ścieżek testujących (definiowana ich liczbą oraz długością) oraz liczba uszkodzeń są podane w Tabeli 2.1. We wszystkich eksperymentach oryginalne wektory testowe były otrzymane za pomocą komercyjnych narzędzi do automatycznej generacji testów. Ponadto, każdy zestaw sekwencji testujących jest dzielony na dwie części: stosunkowo niewielką grupę wektorów WT<sub>1</sub> wykrywających znaczący procent (zwykle większy niż 90%) uszkodzeń oraz znacznie większy zestaw testów WT<sub>2</sub>, które pokrywają pozostałą część listy uszkodzeń. Przedstawione w tym rozdziale eksperymenty skupiają się przede wszystkim na drugiej grupie wektorów. Jest to korzystne z dwóch względów: nadal można oczekiwać widocznej redukcji całkowitej liczby wektorów, nawet skupiając się wyłącznie na testach z grupy WT<sub>2</sub>, a sama procedura działa znacznie szybciej niż jakakolwiek inna metoda operująca na pełnej liście uszkodzeń.

W Tabeli 2.2 zestawiono wyniki eksperymentów. W kolejnych kolumnach tabeli podano:

- pokrycie uszkodzeń wykrywanych testami deterministycznymi,
- liczbę wektorów z grupy WT<sub>1</sub>, które nie są poddawane procesowi redukcji testów,
- liczbę wektorów grupy WT<sub>2</sub>, która stanowi podstawowe źródło danych wejściowych dla prezentowanej w pracy metody redukcji testów,

- całkowitą liczbę wektorów testowych otrzymanych jako wynik redukcji wykorzystującej algorytm SAT (SAT WT); liczba ta uwzględnia również testy, których algorytm SAT nie był w stanie zastąpić nowymi wektorami,

- uzyskaną redukcję wektorów testowych, czyli różnicę pomiędzy liczbami podanymi w kolumnach WT<sub>2</sub> i SAT WT podzieloną przez licznosc grupy WT<sub>2</sub>.

Ostatnia kolumna Tabeli 2.2 wyraźnie wskazuje, że zaproponowana w pracy metoda

Tabela 2.2: Redukcja liczby testów

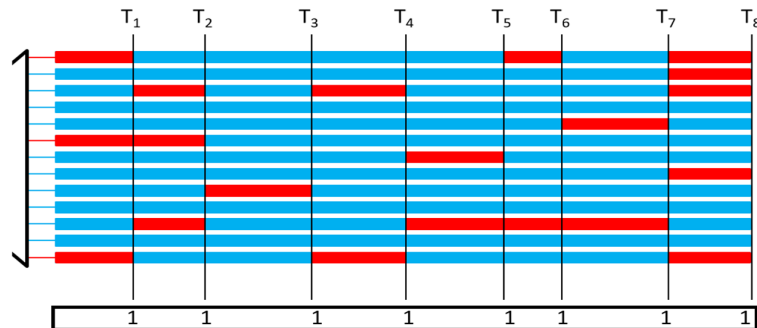
	Pokrycie uszkodzeń [%]	WT <sub>1</sub>	WT <sub>2</sub>	SAT WT	Redukcja testów
D1	99,19	1 894	7 290	2 196	69,88%
D2	99,81	1 806	6 841	2 248	67,14%
D3	96,37	5 265	20 843	18 049	13,40%
D4	90,72	5 504	5 556	4 873	12,29%
D5	98,10	2 047	4 543	4 033	11,23%
D6	97,45	19 543	5 750	4 137	28,05%
D7	93,53	272	1 573	1 501	4,58%
D8	97,89	1 252	8 226	6 007	26,98%
D9	93,00	3 691	11 158	10 439	6,44%

zmniejszyła liczbę wektorów testowych we wszystkich badanych układach. W przypadku niektórych układów liczba wektorów jest znacząco niższa od tej uzyskanej po zastosowaniu konwencjonalnego generatora testów, przy jednoczesnym zachowaniu oryginalnego pokrycia uszkodzeń. W innych przypadkach redukcja liczby wektorów testowych jest relatywnie mniejsza. Uzasadnionym wydaje się zatem wniosek, że stopień redukcji jest czynnikiem silnie zależnym od struktury testowanego układu.

### 3. Redukcja wolumenu danych testowych

Utrzymanie wysokiego poziomu pokrycia uszkodzeń jest naturalnie coraz droższe wraz ze wzrostem stopnia złożoności układów elektronicznych. Taki trend jest prostą konsekwencją stosowania dużych ilości danych testowych oraz długimi czasami aplikacji testów. Kompresja danych testowych jest technologią pozwalającą zredukować ilość niezbędnych danych testowych przy jednoczesnym zachowaniu wysokiej jakości testowania, a technologia EDT [14] jednym z najbardziej reprezentatywnych rozwiązań w tej dziedzinie. Kolejne generacje układów cyfrowych stawiają nowe wyzwania inżynierii testu. Wprowadzają, na przykład, nowe typy uszkodzeń, co w konsekwencji zwiększa liczbę wektorów i danych testowych. Przekłada się to bezpośrednio na zwiększenie pamięci testera i wydłużenie czasu testowania.

W dalszej części rozprawy przedstawiono metodę redukcji (kompresji) danych testowych, [4], [5], [10], [12]. Zaproponowane podejście opiera się na obserwacji, że liczba wyspecyfikowanych bitów w sekwencjach testujących stanowi tylko nieznaczny ułamek wszystkich bitów składających się na wektory przechowywane przez tester (pozostałe bity przyjmują z reguły wartości losowe). Dodatkowo wśród tych bitów tylko nieliczne są istotne (ich wartości oraz przypisania do wejść układu nie można zmienić), podczas gdy pozostałe można zastąpić

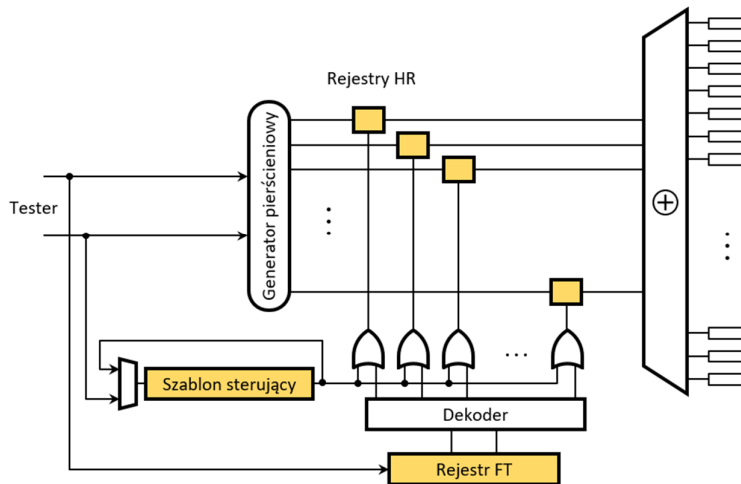


Rys. 3.1. Izometryczny wektor testowy.

innymi wartościami przypisanymi do alternatywnych wejść. Tak interpretowane wektory testowe można wykorzystać do sterowania procesem izometrycznej kompresji [5], [6] (i dekompresji) danych testowych za pomocą tzw. cyklicznych szablonów sterujących.

Rys. 3.1 przedstawia przykładowy wektor testowy zakodowany w sposób izometryczny. Przełączanie między różnymi wartościami następuje tylko w miejscach wskazanych przez szablon sterujący  $T_1, T_2, \dots, T_8$ . Dekompresor izometryczny [6] wykorzystuje szablon sterujący, którego rozmiar odpowiada najdłuższej ścieżce testującej. Szablon steruje dekompresorem poprzez podanie w każdym cyklu bitu wskazującego czy wartość na wyjściu ma być zaktualizowana przez generator pierścieniowy. Aby uniknąć długiego szablonu sterującego (lub szablonów) dekompresora izometrycznego, w pracy zaproponowano nową strukturę dekompresora (Rys. 3.2), który wykorzystuje znacznie krótszy szablon sterujący, z reguły nie dłuższy niż 32 bity. Ponownie, szablon dostarcza cyklicznie bity kontrolne do rejestrów podtrzymujących stan wyjść generatora pierścieniowego (rejstry HR) wskazując, czy dany rejestr należy zaktualizować. Ze względu na swój rozmiar, krótki szablon testowy będzie teraz używany wielokrotnie w czasie podawania pojedynczego wektora testowego.

Kolejną cechą zaproponowanego dekompresora jest możliwość niezależnego sterowania każdym rejestrem HR. Dodatkowy moduł (rejestr FT wraz dekoderym) pozwala na dynamiczne wybieranie tych segmentów rejestru HR, które mają pozostać wyłączane podczas zapełniania ścieżek testujących. W rezultacie podzbiór ścieżek – nazywanych ścieżkami z pełnym przełączaniem – sterowanych takimi rejestrami może przełączać się w każdym cyklu, a nie tylko w



Rys. 3.2. Przykład nowego dekompresora.

Tabela 3.1: Charakterystyki układów.

	Liczba bramek	Liczba przerzutników testujących	Konfiguracja ścieżek testujących	Kanały EDT	Rozmiar dekompresora EDT
D1	1,2M	72K	400 × 181	1	22
D2	3,2M	281K	960 × 293	2	32
D3	4,8M	287K	960 × 299	2	32
D4	1,3M	52K	200 × 260	1	32
D5	3,2M	213K	500 × 426	2	33
D6	2,4M	182K	1 365 × 134	6	55
D7	4,0M	421K	1 500 × 281	10	56
leon3mp	1,2M	109K	800 × 137	1	29
leon2	2,5M	149K	400 × 374	4	32

wybranych chwilach. Takie podejście pozwala na zakodowanie testów wymagających licznych zmian stanu w wybranej ścieżce testującej – częściej niż pozwala na to szablon sterujący. W przypadku pozostałych ścieżek, punkty przełączania i cykle podtrzymania są określane przez zawartość szablonu sterującego. Takie ścieżki testowe przechwytyją zawartość generatora pierścieniowego przetwarzaną przez przesuwnik fazowy z chwilą gdy na skrajnie prawym bicie rejestru przesuwającego szablon pojawi się wartość logiczna 1 (Rys. 3.2); w przeciwnym razie ścieżki testowe podtrzymują swój aktualny stan. Podobne rozwiązanie może być również wykorzystane do maskowania stanów nieznanymi w odpowiedziach testowych [7].

Opisana w pracy metoda kompresji danych testowych została zweryfikowana za pomocą serii eksperymentów na układach przemysłowych i układach *open-source* IWLS'05. Podstawowe dane dotyczące tych układów, takie jak liczba bramek, liczba przerzutników testujących,

Tabela 3.2: Redukcja danych testowych.

	Pokrycie uszkodzeń [%]	EDT		HC		Redukcja danych
		WT	DT [Mb]	WT	DT [Mb]	
D1	96,92	31 246	6,34	19 870	4,03	1,57x
D2	96,95	57 037	37,07	24 137	15,69	2,36x
D3	94,84	33 013	21,85	21 160	14,01	1,56x
D4	91,34	45 523	13,73	11 219	3,38	4,06x
D5	97,87	17 153	15,75	10 237	9,40	1,68x
D6	99,78	15 551	15,12	8 118	7,89	1,92x
D7	98,50	39 226	122,78	15 589	48,80	2,52x
leon3mp	99,83	13 352	2,54	7 907	1,50	1,69x
leon2	98,64	13 310	5,66	9 472	4,02	1,40x



konfiguracja ścieżek testujących, liczba kanałów wejściowych EDT oraz rozmiar dekompresora są podane w Tabeli 3.1. Wszystkie eksperymenty zostały przeprowadzane zakładając: (1) 30-bitowy szablon sterujący, (2) co najwyżej dwa wyłączone rejestry HR, (3) 15 przełączeń w szablonie sterującym we wszystkich eksperymentach.

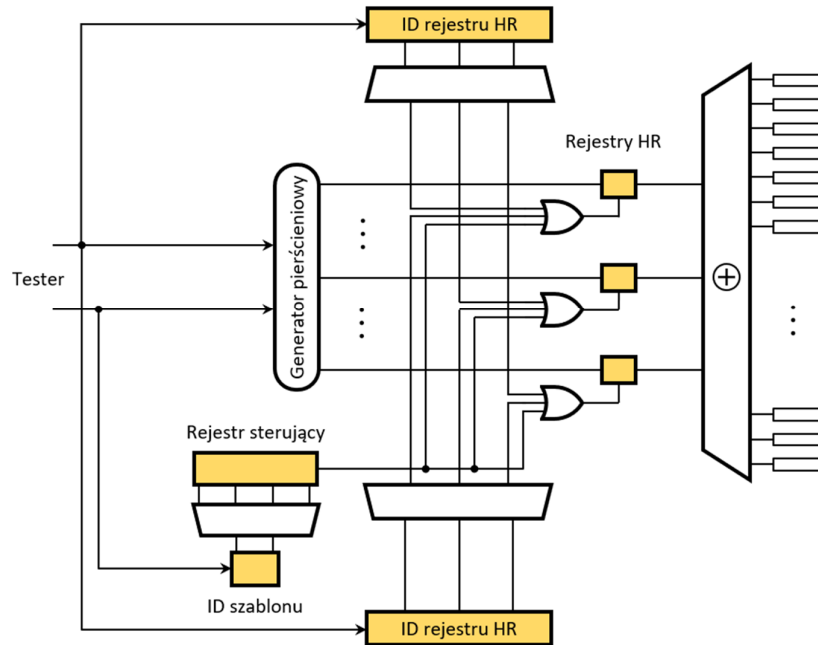
W Tabeli 3.2 zestawiono wyniki eksperymentów dla uszkodzeń typu sklejenie z wartością stałą 0 oraz sklejenie z wartością stałą 1, uzyskane zarówno dla kompresji opartej na technologii EDT jak i metodzie prezentowanej w pracy (HC). W kolejnych kolumnach tabeli wyszczególniono poziom pokrycia uszkodzeń, liczbę wektorów testowych (WT), odpowiadającą im ilość danych wejściowych (DT) w megabitach oraz redukcję liczby wektorów testowych w stosunku do konwencjonalnego rozwiązania opartego na EDT. DT dla nowej metody zawiera dane wektorów testowych, szablonów sterujących oraz rozmiar rejestru FT.

Jak wskazuje ostatnia kolumna Tabeli 3.2, we wszystkich eksperymentach stopień kompresji jest znacząco wyższy niż w przypadku standardu przemysłowego EDT, podczas gdy pokrycie uszkodzeń pozostaje praktycznie niezmienione. Obserwowana redukcja wektorów testowych w stosunku do EDT waha się od 1,5x do 4,0x, a jej średnia wartość obliczona dla wszystkich badanych układów jest praktycznie równa 2x.

## 4. Energooszczędna redukcja wolumenu danych testowych

Ostatnia część pracy opisuje kolejny (ewolucyjny) krok w rozwoju metod kompresji danych testowych. Bazując na zaproponowanej wcześniej (sekcja 3) metodzie redukcji danych, nowy algorytm, wprowadzając bardziej złożone obliczeniowo procedury, umożliwi dalsze ograniczenie infrastruktury testującej, zwiększa stopień kompresji oraz znacząco zmniejsza aktywność układu w trakcie podawania testów. W szczególności redukuje także rozmiar szablonów, które mogą być teraz bezpośrednio dołączane do wektorów testowych bez istotnego wpływu na czas testu i wynikową ilość danych testowych.

Metoda zastosowana w nowym podejściu jest zgodna z zasadami przedstawionymi w poprzednim rozdziale. Energooszczędna kompresja wykorzystuje jednak inny układ szablonów sterujących niż ten z Rys. 3.2. Nowy dekompresor (Rys. 4.1) zawiera bardzo krótki rejestr cykliczny kontrolowany przez dekoder, który inicjuje rejestr na podstawie identyfikatora szablonu. Przesyłanie identyfikatora jest ułamkiem czasu niezbędnego na przeładowanie wektora testowego. Możliwość dołączenia identyfikatora szablonu do każdego wektora indywidualnie



Rys. 4.1. Struktura energooszczędnego dekompresora.

czyni nowe podejście wyjątkowo elastycznym. Ponadto, dla każdego wektora testowego, wybierane są tylko dwa z  $n$  bitów rejestru HR, które pozostają wyłączane.

Opracowana technologia kompresji o niskim poborze energii została zweryfikowana za pomocą serii eksperymentów na układach przemysłowych. Podstawowe dane dotyczące tych układów, takie jak liczba bramek, liczba komórek testujących, konfiguracja ścieżek testujących, liczba kanałów wejściowych oraz rozmiar dekompresora prezentuje Tabela 4.1. Wszystkie eksperymenty przeprowadzane były z 4-bitowym szablonem i co najwyżej dwoma wyłączonymi segmentami rejestru HR. W każdym szablonie występował tylko jeden punkt przełączania.

Tabela 4.1: Charakterystyki układów.

	Liczba bramek	Liczba przerzutników testujących	Konfiguracja ścieżek testujących	Kanały EDT	Rozmiar dekompresora EDT
D1	1,2M	72K	400 × 181	1	22
D2	3,2M	281K	960 × 293	2	32
D3	4,8M	287K	960 × 299	2	32
D4	1,3M	52K	200 × 260	1	32
D5	3,2M	213K	500 × 426	2	33
D6	2,4M	182K	1 365 × 134	6	55
D7	4,0M	421K	1 500 × 281	10	56

Tabela 4.2: Redukcja danych testowych.

	Pokrycie uszkodzeń [%]	EDT		HC		Kompresja energooszczędna		RWTE	RWTH
		WT	DT [Mb]	WT	DT [Mb]	WT	DT [Mb]		
D1	96,92	31 246	6,34	19 870	4,03	19 584	3,98	1,60	1,01
D2	96,95	57 037	37,07	24 137	15,69	23 528	15,29	2,42	1,03
D3	94,84	33 013	21,85	21 160	14,01	20 823	13,78	1,59	1,02
D4	91,34	45 523	13,73	11 219	3,38	10 643	3,20	4,28	1,05
D5	97,87	17 153	15,75	10 237	9,40	10 186	9,35	1,68	1,01
D6	99,78	15 551	15,12	8 118	7,89	7 973	7,75	1,95	1,02
D7	98,50	39 226	122,78	15 589	48,80	15 011	46,98	2,61	1,04

W Tabeli 4.2 zestawiono wyniki eksperymentów dla uszkodzeń typu sklejenie z wartością stałą 0 oraz sklejenie z wartością stałą 1, uzyskane dla kompresji opartej na EDT, kompresji zaprezentowanej w poprzedniej sekcji (HC) oraz energooszczędnej wersji przedstawionej w tym rozdziale. W kolejnych kolumnach tabeli podano pokrycie uszkodzeń, liczbę wektorów testowych (WT), odpowiadającą im ilość danych testowych (DT) w megabitach oraz wypadkową redukcję liczby wektorów testowych w stosunku do konwencjonalnej kompresji EDT (RWTE) oraz kompresji HC (RWTH). Dane testowe kompresji HC zawierają dane szablonów sterujących i rejestrów FT, podczas gdy dane dla wersji energooszczędnej zawierają kodowane binarnie identyfikatory szablonów sterujących i wyłączonych rejestrów HR.

Dla wszystkich przeanalizowanych układów testowych współczynniki kompresji są wyższe niż te osiągnięte przez standardową technologię EDT; pozostają także podobne do wyników uzyskanych przez metodę z sekcji 3. przy niezmienionym pokryciu uszkodzeń. Obserwowana

Tabela 4.3: Poziom przełączania [%].

	EDT			HC			Kompresja energooszczędna		
	Test-in	OT	Test-out	Test-in	OT	Test-out	Test-in	OT	Test-out
D1	49,34	10,79	49,94	32,90	10,48	36,36	17,50	10,25	26,35
D2	49,38	11,70	44,37	28,71	11,54	29,68	15,97	11,32	20,21
D3	49,53	10,69	42,01	30,25	10,54	26,09	16,21	10,48	19,96
D4	49,52	14,69	42,04	30,00	14,40	33,48	17,01	14,32	24,54
D5	49,65	15,96	44,78	33,47	15,37	33,16	18,12	15,17	23,98
D6	49,24	36,55	46,75	28,32	31,58	43,40	15,15	31,08	38,76
D7	49,23	15,83	44,77	24,63	10,36	26,20	15,03	10,16	20,01

redukcja danych testowych w stosunku do EDT waha się od 1,59x do 4,28x, a jej średnia wartość obliczona dla wszystkich badanych układów wynosi 2,3x.

Tabela 4.3 przedstawia wyniki aktywności (przełączania) układów w kolejnych fazach testu. Aktywność wynikająca z wprowadzania (*test-in*) oraz wysuwania (*test-out*) wektorów testowych jest mierzona za pomocą tzw. przełączania ważonego (ang. *weighted transition metric*, WTM) [15]. Nowa metoda kompresji redukuje WTM do około 30% w porównaniu z wartością odniesienia 50% uzyskaną jako średnia wartość dla wszystkich badanych układów z technologią EDT. Energooszczędna kompresja obniża WTM do prawie 17%. Aktywność układu w trybie zapisu odpowiedzi testowej (OT) jest reprezentowana za pomocą tzw. aktywności ważonej (ang. *weighted switching activity*, WSA) [3]. W przedstawionych eksperymentach zaobserwowano jej prawie 3-krotne zmniejszenie. Ponieważ średnia energia wykorzystywana podczas testu jest proporcjonalna do częstotliwości zegara, to wynik ten pozwala na wyraźne przyspieszenie wprowadzania wektorów (a tym samym całej sesji testowej) na poziomie odpowiadającym różnicy pomiędzy zużyciem energii konwencjonalnych rozwiązań testowych a nowym podejściem.

## Bibliografia

- [1] W.-T. Cheng, S. Milewski, G. Mrugalski, J. Rajski, M. Trawka, J. Tyszer, “Autonomous scan patterns for laser voltage imaging,” *IEEE Trans. Emerg. Top. Comput.*, vol. 9, no. 2, pp. 680–691, April 2021.
- [2] S. Eggersglüß, S. Milewski, J. Rajski, J. Tyszer, “On reduction of deterministic test patterns sets,” in *Proc. ITC*, 2021.
- [3] P. Girard, N. Nicolici, X. Wen, Eds., *Power-Aware Testing and Test Strategies for Low Power Devices*. New York: Springer, 2010.
- [4] Y. Huang, S. Milewski, J. Rajski, J. Tyszer, C. Wang, “Low cost hypercompression of test data,” *IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst.*, vol. 39, no. 10, pp. 2964–2975, Oct. 2020.
- [5] Y. Huang, J. Rajski, S. Milewski, “Isometric control data generation for test compression,” U.S. Patent App. 2019/0293717, Sep. 26, 2019.

- [6] A. Kumar, M. Kassab, E. Moghaddam, N. Mukherjee, J. Rajski, S. M. Reddy, J. Tyszer, C. Wang, “Isometric test data compression,” *IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst.*, vol. 34, no. 11, pp. 1847–1859, Nov. 2015.
- [7] Y. Liu, S. Milewski, G. Mrugalski, N. Mukherjee, J. Rajski, J. Tyszer, B. Włodarczak, “X-tolerant compactor maXpress for in-system test applications with observation scan,” *IEEE Trans. Very Large Scale Integr. VLSI Syst.*, vol. 29, no. 8, pp. 1553–1566, Aug. 2021.
- [8] S. Milewski, G. Mrugalski, J. Rajski, J. Tyszer, “Low power test compression with programmable broadcast-based control,” in *Proc. ATS*, 2014, pp. 174–179.
- [9] S. Milewski, N. Mukherjee, J. Rajski, J. Solecki, J. Tyszer, J. Zawada, “Full-scan LBIST with capture-per-cycle hybrid test points,” in *Proc. ITC*, 2017, pp 1-9.
- [10] S. Milewski, J. Rajski, Y. Huang, “Test generation using testability-based guidance,” U.S. Patent 10 996 273, May 4, 2021.
- [11] N. Mukherjee, D. Tille, M. Sapati, Y. Liu, J. Mayer, S. Milewski, E. Moghaddam, J. Rajski, J. Solecki, J. Tyszer, “Time and area optimized testing of automotive ICs,” *IEEE Trans. Very Large Scale Integr. VLSI Syst.*, vol. 29, no. 1, pp. 76–88, Jan. 2021.
- [12] J. Rajski, Y. Huang, S. Milewski, J. Tyszer, “Flexible isometric decompressor architecture for test compression,” U.S. Patent App. 2021/0018563, Jan. 21, 2021.
- [13] J. Rajski, S. Milewski, G. Mrugalski, J. Tyszer, “Low power testing based on dynamic grouping of scan,” U.S. Patent 10 120 029, Nov. 6, 2018.
- [14] J. Rajski, J. Tyszer, M. Kassab, N. Mukherjee, “Embedded deterministic test,” *IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst.*, vol. 23, no. 5, pp. 776–792, May 2004.
- [15] R. Sankaralingam, R. R. Oruganti, N. A. Touba, “Static compaction techniques to control scan vector power dissipation,” in *Proc. VTS*, 2000, pp. 35–40.
- [16] L.-T. Wang, C.-W. Wu, X. Wen, *VLSI Test Principles and Architectures*. San Francisco: Elsevier, 2006.